

НАУЧНЫЙ ОБЗОР

УДК 621.3.049.774:621.382.3:004.31



CC BY 4.0

ВЛИЯНИЕ ПОКОЛЕНИЙ НОРМ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ НА ТЕМПЫ ДЕГРАДАЦИИ СЛОЖНЫХ КРЕМНИЕВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Белкин Е. Н.

*Акционерное общество «АЛГОНТ», Калуга, Российская Федерация,
e-mail: belkinen@algont.ru*

Деградация современных кремниевых интегральных схем определяется не номинальным числом нанометров само по себе, а совместным действием электрических полей, температуры, плотности тока, материалов и профиля нагрузки. Цель работы – систематизировать сведения о том, как переход от 180 нм к номинальным 2–3 нм изменяет набор механизмов старения сложных микросхем, включая центральные и графические процессоры. Выполнен обзор публикаций 2016–2025 гг. в IEEE Xplore, Google Scholar и eLIBRARY.RU; Crossref использован для проверки DOI, дополнительно просмотрены списки литературы. Из 47 выявленных публикаций после отбора включены 26 современных и 4 фундаментальные работы. Для сопоставления использованы модели Аррениуса, Блэка, температурной нестабильности смещения и пробоя диэлектрика во времени. Значимость механизмов по группам техпроцессов оценивалась по формализованному кодированию литературных выводов по шкале 1–5. Показано, что для 180–130 нм в литературе чаще выделяются горячие носители и износ оксида; для 90–28 нм – температурная нестабильность смещения, пробой диэлектрика и надежность медной металлизации; для 22–2 нм могут становиться критичными самонагрев, контакты, средние и верхние уровни межсоединений и стохастические дефекты. Для процессоров скорость старения существенно зависит от тепловой карты и распределения активности, поэтому применяются динамические запасы, мониторы старения и управление ресурсами во время работы. Сделан вывод, что число нанометров не позволяет рассчитать срок службы конкретного изделия без калиброванных параметров технологии и эксплуатационного профиля.

Ключевые слова: кремниевая интегральная схема, техпроцесс, деградация, надежность, электромиграция, самонагрев, старение, процессор

INFLUENCE OF PROCESS-NODE GENERATIONS ON THE DEGRADATION RATES OF COMPLEX SILICON INTEGRATED CIRCUITS

Belkin E. N.

ALGONT Joint Stock Company, Kaluga, Russian Federation, e-mail: belkinen@algont.ru

Degradation of modern silicon integrated circuits is determined not by the nominal nanometer number itself, but by the combined action of electric fields, temperature, current density, materials, and workload profile. The purpose of this paper is to systematize how the transition from 180 nm to nominal 2–3 nm changes the set of aging mechanisms in complex chips, including central and graphics processors. Publications from 2016–2025 were reviewed in IEEE Xplore, Google Scholar, and eLIBRARY.RU; Crossref was used to verify DOI data, and reference lists were also screened. Of 47 identified publications, 26 recent and 4 foundational papers were included after title, abstract, and full-text screening. Arrhenius, Black, bias temperature instability, and time-dependent dielectric breakdown models were used for comparison. The significance of mechanisms across process-node groups was assessed by formalized coding of literature conclusions on a scale from 1 to 5. The literature more often highlights hot carriers and oxide wear for 180–130 nm; bias temperature instability, dielectric breakdown, and copper-interconnect reliability for 90–28 nm; and self-heating, contacts, middle and upper interconnect levels, and stochastic defects as potentially critical for 22–2 nm. In processors, aging rate depends strongly on the thermal map and activity distribution, which motivates dynamic margins, aging monitors, and runtime resource management. The nominal nanometer number therefore cannot be used to calculate the lifetime of a specific product without process-calibrated parameters and an operating profile.

Keywords: silicon integrated circuit, process node, degradation, reliability, electromigration, self-heating, aging, processor

Введение

Под деградацией в работе понимается накопленное изменение параметров транзисторов, межсоединений и корпуса, приводящее к росту задержек, утечек, сопротивлений, шумов и вероятности сбоев. Для цифровой логики основным наблюдаемым результатом становится уменьше-

ние временных запасов, для памяти – рост ошибок чтения и записи, для аналоговых узлов – смещение порогов, коэффициентов усиления и рабочих точек.

Название технологического поколения – 180 нм, 65 нм, 7 нм или 2 нм – не является самостоятельной физической причиной отказа. Оно лишь коррелирует с длиной кана-

ла, эквивалентной толщиной диэлектрика, рабочим напряжением, материалами затвора и межсоединений, плотностью мощности и тепловым сопротивлением. После завершения классического масштабирования Дэннарда напряжение питания снижалось медленнее геометрических размеров, поэтому электрические поля и плотность мощности не уменьшались пропорционально [1].

В сложных микросхемах деградация распределена неоднородно. Кешы, регистровые файлы, арифметические блоки, сети питания, регуляторы и корпус имеют разные карты активности и температуры. Часть рисков компенсируется проектными запасами, коррекцией ошибок, терморегулированием, встроенными датчиками и статическим временным анализом с учетом старения [2; 3]. Поэтому сравнение поколений техпроцессов должно отделять подтвержденные физические зависимости от качественных обобщений по разнородной литературе.

Цель исследования – обобщить, как смена поколений технологических норм влияет на механизмы деградации сложных кремниевых интегральных схем, формализовать литературное сопоставление рисков и определить факторы, которые важнее номинального числа нанометров при оценке надежности.

Материалы и методы исследования

Работа выполнена как обзор с элементами формализованного картирования литературы. Основной временной интервал составлял 2016–2025 гг.; более ранние публикации включались только как фундаментальные источники моделей или механизмов. Основной поиск проводился в IEEE Xplore, Google Scholar и eLIBRARY.RU, а Crossref использовался для проверки DOI и библиографических данных. Дополнительные работы выявлялись по спискам литературы. Использовались запросы: “CMOS aging process node”, “FinFET GAUFET reliability self-heating”, “electromigration BEOL sub-10 nm”, “runtime aging management processor”, “aging monitor guardband”, “workload-dependent aging CPU GPU”, а также русскоязычные сочетания «деградация КМОП техпроцесс», «электромиграция суб-10 нм» и «старение процессоров нагрузка».

По итогам целевого поиска и просмотра списков литературы сформирована рабочая выборка из 47 публикаций. После оценки заголовков, аннотаций и полного текста включены 26 работ 2016–2025 гг. и 4 фундаментальные работы; 17 публикаций исключены из-за несоответствия объекту исследования, отсутствия анализа долговременного старения, дублирования выводов

либо недостаточных библиографических данных. Критериями включения были рецензируемый статус, наличие модели, измерений или схемотехнического анализа и явная связь с температурой, напряжением, плотностью тока, поколением технологии либо профилем нагрузки. Исключались маркетинговые материалы, форумные сообщения, работы только о радиационных мягких ошибках и публикации без проверяемого первоисточника. Российская работа по оценке 65-нм процесса использована как пример комплексного учета пробоя диэлектрика, горячих носителей, температурной нестабильности смещения, электромиграции и переходных отверстий [4].

Для формализации таблицы и рисунка 3 использованы 19 публикаций с явной привязкой к поколениям проектных норм; остальные 11 – для анализа управления старением, защитных запасов, встроенных мониторов и зависимости надежности от нагрузки и тепловой карты. Каждая из 19 публикаций кодировалась по четырем группам проектных норм и пяти механизмам. Вес 0 означал отсутствие вывода для данной пары «группа – механизм», 1 – упоминание как существенного или вторичного фактора, 2 – указание как одного из основных ограничений. Нормированный показатель рассчитывался как

$$d = \Sigma w / (2N),$$

где N – число публикаций, рассматривавших группу. Значение переводилось в индекс: 1 при $d \leq 0,20$; 2 при $0,20 < d \leq 0,40$; 3 при $0,40 < d \leq 0,60$; 4 при $0,60 < d \leq 0,80$; 5 при $d > 0,80$. «Чаще выделяемыми» в таблице названы механизмы с индексом не ниже 4. Одна публикация могла учитываться в нескольких группах, поэтому значения N не суммируются.

Результаты исследования и их обсуждение

Базовые модели и границы применимости

Температура ускоряет диффузию вакансий, разрыв химических связей, генерацию ловушек, релаксацию механических напряжений и рост сопротивлений. Для перехода от температуры ускоренного испытания T_{stress} к рабочей температуре T_{use} применяют коэффициент Аррениуса:

$$AF_T = \exp \left[\frac{E_a}{k_B} \cdot \left(\frac{1}{T_{use}} - \frac{1}{T_{stress}} \right) \right], \quad (1)$$

где E_a – энергия активации,

$$k_B = 8,617 \cdot 10^{-5} \text{ эВ/К}.$$

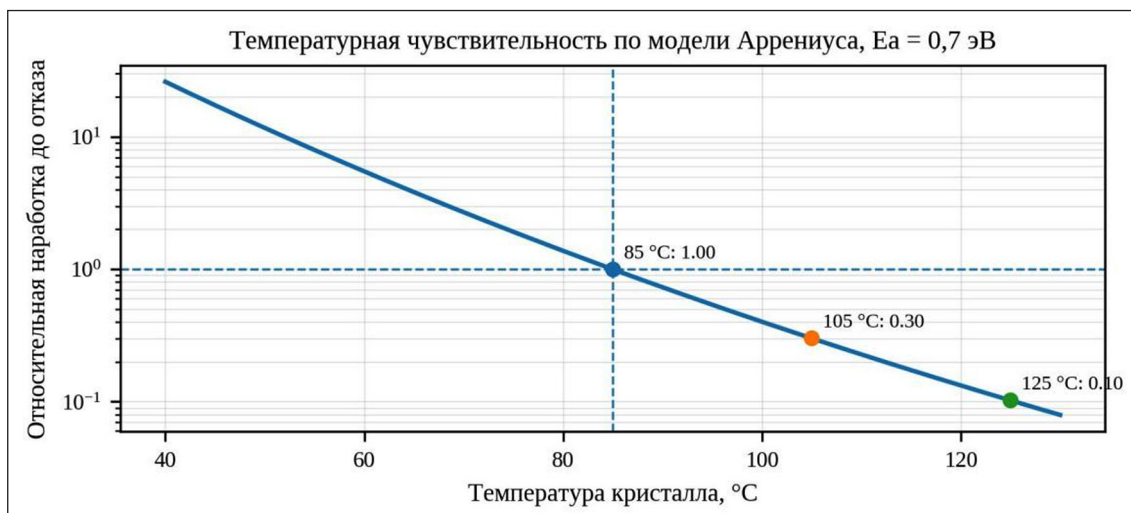


Рис. 1. Относительная средняя наработка до отказа при изменении температуры кристалла
Примечание: составлено автором по модельному расчету Аррениуса
при $E_a = 0,7$ эВ и базовой точке 85°C

В иллюстративном расчете при $E_a = 0,7$ эВ и неизменной плотности тока повышение температуры с 85 до 105°C уменьшает относительную среднюю наработку до отказа (mean time to failure, MTTF) примерно до $0,30$, а до 125°C – до $0,10$ (рис. 1).

Электромиграция описывается уравнением Блэка [5]:

$$MTTF_{EM} = A \cdot J^{-n} \cdot \exp\left(\frac{E_a}{k_B \cdot T}\right), \quad (2)$$

где J – локальная плотность тока, n – показатель токового ускорения, A – коэффициент, зависящий от геометрии, микроструктуры

и материалов. При уменьшении ширины линий, переходных отверстий и контактов локальная J может возрастать даже при снижении общего тока, поэтому в современных технологиях внимание смещается к сети питания, контактам и многоуровневой металлизации [6; 7].

Для температурной нестабильности смещения и части механизмов старения диэлектрика используют степенную зависимость от времени и напряжения [8]:

$$\Delta V_{th}(t) \approx K \cdot V^m \cdot \exp\left(-\frac{E_a}{k_B \cdot T}\right) \cdot t^n, \quad (3)$$

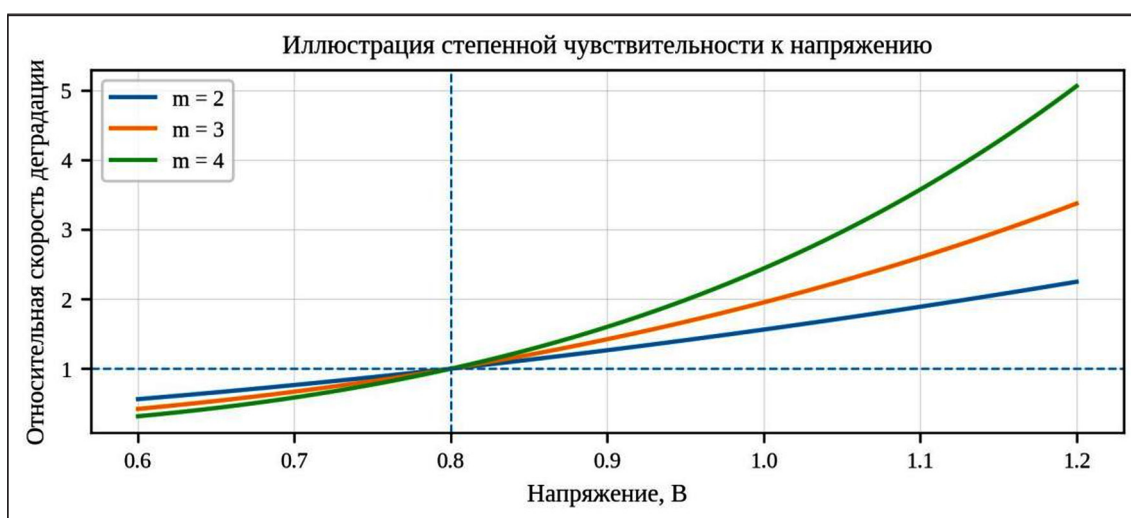


Рис. 2. Модельная чувствительность скорости деградации к напряжению при степенном законе
Примечание: составлено автором; зависимость не является паспортной характеристикой конкретной технологии

Сдвиг порогового напряжения увеличивает задержки и меняет токи утечки. При показательном значении $m = 3$ повышение напряжения с 0,8 до 1,0 В увеличивает модельную скорость деградации в 1,95 раза, а до 1,1 В – в 2,60 раза. Иллюстрация чувствительности приведена на рис. 2.

Для пробоя диэлектрика во времени применяются экспоненциальные или степенные модели поля [9]:

$$t_{BD} \approx A \cdot \exp(\gamma / E_{ox}) \text{ или } t_{BD} \approx A \cdot E_{ox}^{-p}, \quad (4)$$

Параметры E_a , n , m , p , γ , A и K не являются универсальными. Они зависят от материала диэлектрика и проводника, геометрии, формы импульсов, коэффициента заполнения, режима восстановления, диапазона температур и методики испытаний. Калибровка одного техпроцесса не переносится на другой без экспериментальной проверки; при одновременном действии самонагрева, просадок питания и нескольких механизмов простое перемножение коэффициентов ускорения также может быть неверным. Поэтому рис. 1 и 2 показывают чувствительность моделей, а не паспортный ресурс конкретного процессора.

Факторы и физические механизмы

Далее используются сокращения: HCI – деградация горячими носителями; BTI – температурная нестабильность смещения; TDDb – пробой диэлектрика во времени; EM – электромиграция; MOL и BEOL – средние и верхние уровни межсоединений. К ключевым эксплуатационным факторам относятся локальная температура, электрическое поле, плотность тока и статистическая вариабельность. В трехмерных транзисторах температура канала и контактов может превышать показания внешнего дат-

чика из-за малых теплопроводных сечений. Повышение напряжения и переходные выбросы одновременно усиливают несколько видов старения, а длительные вычислительные нагрузки увеличивают средний ток сети питания.

Горячие носители создают интерфейсные состояния и заряд в диэлектрике, что снижает ток насыщения и увеличивает задержку. Механизм особенно заметен в короткоканальных планарных и высоковольтных транзисторах, но сохраняется и в новых геометриях [10; 11]. Температурная нестабильность смещения меняет пороговое напряжение и ухудшает запасы статической памяти и критических путей [8]. Пробой диэлектрика во времени связан с накоплением ловушек и образованием проводящего пути; в структурах с охватывающим затвором возрастает роль внутренних диэлектриков и средних уровней межсоединений [9].

Электромиграция и миграция напряжений образуют пустоты и увеличивают сопротивление металлизации. Для медных и low-k систем важны барьерные и интерфейсные пути, а для субдесятинанометровых маршрутов – размерный эффект, шероховатость и контактное сопротивление [6; 7]. Самонагрев действует как общий усилитель: он способен ускорять температурную нестабильность смещения, горячие носители, пробой диэлектрика и электромиграцию одновременно [3].

Влияние поколения проектной нормы

Сравнение поколений нельзя сводить к правилу «меньше нанометров – быстрее деградация». Масштабирование снижает рабочее напряжение и улучшает электростатику, но одновременно увеличивает плотность мощности, роль контактов и чувствительность к единичным дефектам.

Формализованное сопоставление поколений проектных норм и рисков деградации

Группа и число источников	Типичные особенности	Механизмы с индексом 4–5
180–130 нм (N = 4)	Планарные структуры, более толстые оксиды, крупные линии и контакты, напряжения около 1,8–1,2 В	Горячие носители (5); износ оксида и пробой диэлектрика (4)
90–28 нм (N = 8)	Тонкие SiON/high-k диэлектрики, медь и low-k, рост утечек, медленное снижение напряжения	BTI (5); HCI (4); TDDb (4); EM и повреждения low-k (4)
22–10 нм (N = 7)	FinFET/tri-gate, трехмерная геометрия, высокая роль контактов и топологии	Самонагрев (5); BTI (4); TDDb и MOL (4); EM и межсоединения (4)
7–2 нм (N = 5)	Нанолиты и охватывающий затвор, дальнейшее уменьшение via, контактов и шага металлизации	TDDb и MOL (5); BTI (4); EM и BEOL (4); самонагрев (4)

Примечание: составлено автором по формализованному кодированию включенных публикаций; ключевые опорные источники [3; 7; 15]. N – число работ, явно рассматривавших группу; одна работа могла учитываться в нескольких группах.



Рис. 3. Индекс литературной значимости механизмов по группам проектных норм
 Примечание: составлено автором по описанной методике на основе включенных публикаций [3; 7; 15]; 1 – механизм редко выделяется, 5 – часто называется одним из основных ограничений.
 MOL – средние уровни межсоединений; BEOL – верхние уровни межсоединений
 Индекс не является измеренной скоростью отказов

Схемотехнические расчеты показывают рост чувствительности ряда параметров к старению при уменьшении минимальных размеров [12; 13], а переход к вертикально уложенным нанолентам и транзисторам с затвором вокруг канала переносит часть ограничений в контакты, внутренние диэлектрики и средние уровни межсоединений [14; 15]. Результаты формализованного обзора приведены в таблице.

Полная матрица индексов показана на рис. 3. Значения отражают частоту и силу формулировок в отобранной литературе, а не измеренную вероятность отказа и не ранжирование продукции разных фабрик.

Высокую подтвержденность имеют общие зависимости от температуры, поля и плотности тока, поскольку они следуют из физических моделей и многократно наблюдались экспериментально. Среднюю подтвержденность имеют выводы о том, какие механизмы чаще обсуждаются для групп проектных норм. Прямые сопоставления нескольких фабрик при одинаковых напряжениях, тепловых условиях и критериях отказа практически отсутствуют; поэтому утверждения о «доминировании» механизма для всего поколения техпроцессов считаются неподтвержденными и в настоящей работе не используются.

Особенности центральных и графических процессоров

В центральных и графических процессорах старение зависит от карты активности. Арифметические блоки, кеши, реги-

стровые файлы, контроллеры памяти, сети питания и корпус формируют разные тепловые карты. Поэтому изделия одной модели могут накапливать различный ущерб при офисной нагрузке, играх, рендеринге, вычислениях круглосуточно или серверной эксплуатации.

Фиксированные временные и напряженческие запасы часто выбираются по худшему сочетанию температуры и старения. В литературе рассматриваются динамический выбор запаса, прогноз по встроенным датчикам и управление ресурсами с учетом нескольких механизмов [16–18]. Для графических процессоров предложены долговременное управление надежностью, программно зависимый запас и учет зависящих от нагрузки горячих областей [19–21]. Программно управляемые датчики и мониторинг задержки уточняют потерю временного запаса [22; 23], а отображение задач учитывает тепловую карту и циклы [24; 25]. Дополнительно анализируются старение тактового дерева и совместное влияние напряжения, температуры и старения [26; 27].

Эти методы не отменяют физический износ и не дают универсального срока службы. Они позволяют сократить избыточный запас, распределить нагрузку и заранее обнаружить потерю временного запаса. Анализ критических путей с учетом нагрузки, динамический временной анализ с учетом старения и вариативности и статистическая оптимизация библиотек дополнительно связывают остаточный запас с фактической активностью схемы [28–30].

Практические рекомендации по ограничению температуры, напряжения и разгона следует рассматривать только как общие инженерные принципы; расчет ресурса конкретного центрального или графического процессора требует закрытых параметров техпроцесса, корпуса, критериев отказа и статистики партии.

Ограничения обзора. Обзор ограничен неоднородностью терминов проектных норм, различиями материалов и условий ускоренных испытаний, а также недостатком открытых данных производителей. Часть публикаций рассматривает устройства или тестовые структуры, а не полный процессор; перенос таких результатов на изделие возможен только качественно. Кодирование выполнено одним автором, поэтому сохраняется риск субъективной классификации. Шкала 1–5 снижает произвольность обобщения, но остается индексом литературы и не заменяет метаанализ измеренных времен отказа.

Выводы

1. Проектная норма влияет на старение опосредованно – через архитектуру транзистора, материалы, рабочее напряжение, геометрию контактов, плотность тока, тепловое сопротивление и разброс параметров.

2. Температура, электрическое поле и локальная плотность тока являются подтвержденными ускорителями деградации, однако численные коэффициенты применимы только после калибровки под конкретный техпроцесс и режим испытаний.

3. Для 180–130 нм в литературе чаще выделяются горячие носители и износ оксида; для 90–28 нм – температурная нестабильность смещения, пробой диэлектрика и надежность медной металлизации; для 22–2 нм могут становиться критичными самонагрев, контакты, средние и верхние уровни межсоединений и стохастические дефекты.

4. Распределение механизмов по поколениям имеет среднюю доказательность и не означает, что один механизм доминирует во всех изделиях данного номинального техпроцесса.

5. Для центральных и графических процессоров профиль нагрузки и тепловая карта могут быть не менее важны, чем поколение технологии; динамические запасы, мониторы и управление ресурсами помогают контролировать потерю временного запаса.

6. Номинальное число нанометров и общие рекомендации по температуре, напряжению или разгону не позволяют вычислить срок службы конкретного изделия без технологической калибровки и эксплуатационной статистики.

Список литературы

1. Dennard R. H., Gaensslen F. H., Yu H. N., Rideout V. L., Bassous E., LeBlanc A. R. Design of ion-implanted MOSFETs with very small physical dimensions // *IEEE Journal of Solid-State Circuits*. 1974. Vol. 9. № 5. P. 256–268. DOI: 10.1109/JSSC.1974.1050511.
2. Строгонов А. В. Методы прогнозирования долговечности ИС по параметрическим отказам // *Электроника: наука, технология, бизнес*. 2024. № 2 (233). С. 88–96. DOI: 10.22184/1992-4178.2024.233.2.88.96.
3. Chhabria V. A., Sapatnekar S. S. Impact of self-heating on performance and reliability in FinFET and GAAFET designs // *Proceedings of the 20th International Symposium on Quality Electronic Design*. 2019. P. 235–240. DOI: 10.1109/ISQED.2019.8697786.
4. Сивченко А. С., Кузнецов Е. В. Определение основных параметров надежности КМОП процесса полупроводниковой фабрики // *Наноиндустрия*. 2018. № 9 (82). С. 257–263. DOI: 10.22184/1993-8578.2018.82.257.263.
5. Black J. R. Electromigration – A brief survey and some recent results // *IEEE Transactions on Electron Devices*. 1969. Vol. 16. № 4. P. 338–347. DOI: 10.1109/T-ED.1969.16754.
6. Махвиладзе Т. М., Сарычев М. Е. Влияние точечных дефектов на возникновение электромиграции в проводнике с примесью // *Микроэлектроника*. 2021. Т. 50. № 5. С. 376–383. DOI: 10.31857/S0544126921040074.
7. Амиров И. И., Куприянов А. Н., Наумов В. В., Изюмов М. О., Волошин Д. Г., Кропоткин А. Н., Лопав Д. В., Рахимова Т. В. Основные аспекты формирования металлизации в субдесятинанометровой технологии изготовления интегральных схем // *Вестник РФФИ*. 2023. Т. 2. № 118. С. 63–76. DOI: 10.22204/2410-4639-2023-118-02-63-76.
8. Zhang J. F., Gao R., Duan M., Ji Z., Zhang W. D., Marsland J. Bias Temperature Instability of MOSFETs: Physical Processes, Models, and Prediction // *Electronics*. 2022. Vol. 11. № 9. Article 1420. DOI: 10.3390/electronics11091420.
9. Stathis J. H., La Rosa G. Reliability limits for the gate insulator in CMOS technology // *IBM Journal of Research and Development*. 2002. Vol. 46. № 2/3. P. 265–286. DOI: 10.1147/rd.462.0265.
10. Hu C., Tam S. C., Hsu F.-C., Ko P.-K., Chan T.-Y., Terrill K. W. Hot-electron-induced MOSFET degradation – model, monitor, and improvement // *IEEE Journal of Solid-State Circuits*. 1985. Vol. 20. № 1. P. 295–305. DOI: 10.1109/JSSC.1985.1052306.
11. Новоселов А. С., Масальский Н. В. Влияние деградации горячих носителей на характеристики высоковольтного КНИ транзистора с большой областью дрейфа // *Микроэлектроника*. 2023. Т. 52. № 5. С. 423–430. DOI: 10.31857/S0544126923700497.
12. Харитонов И. А. SPICE-модели МОПТ, учитывающие эффекты старения // *Наноиндустрия*. 2020. Т. 13. № 3s. С. 300–307. DOI: 10.22184/1993-8578.2020.13.3s.300.307.
13. Харитонов И. А., Белопашенцев А. С. Влияние эффектов старения на электрические характеристики интегральных КМОП ОУ при уменьшении минимальных размеров транзисторов // *Наноиндустрия*. 2022. Т. 15. № S8-I (113). С. 195–199. DOI: 10.22184/1993-8578.2022.15.8s.195.199.
14. Wong H., Kakushima K. On the vertically stacked gate-all-around nanosheet and nanowire transistor scaling beyond the 5 nm technology node // *Nanomaterials*. 2022. Vol. 12. № 10. Article 1739. DOI: 10.3390/nano12101739.
15. Wang M. A Review of Reliability in Gate-All-Around Nanosheet Devices // *Micromachines*. 2024. Vol. 15. № 2. Article 269. DOI: 10.3390/mi15020269.
16. Khdr H., Amrouch H., Henkel J. Dynamic Guardband Selection: Thermal-Aware Optimization for Unreliable Multi-Core Systems // *IEEE Transactions on Computers*. 2019. Vol. 68. № 1. P. 53–66. DOI: 10.1109/TC.2018.2848276.

17. Huang K., Anik M. T. H., Zhang X., Karimi N. Real-Time IC Aging Prediction via On-Chip Sensors // 2021 IEEE Computer Society Annual Symposium on VLSI. 2021. P. 13–18. DOI: 10.1109/ISVLSI51109.2021.00014.
18. Haghbayan M. H., Miele A., Mutlu O., Plosila J. Run-Time Resource Management in CMPs Handling Multiple Aging Mechanisms // IEEE Transactions on Computers. 2023. Vol. 72. № 10. P. 2872–2887. DOI: 10.1109/TC.2023.3272800.
19. Sun Z., Kim T., Chow M., Peng S., Zhou H., Kim H., Wong D., Tan S. X.-D. Long-Term Reliability Management for Multitasking GPGPUs // 2019 16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design. 2019. P. 213–216. DOI: 10.1109/SMACD.2019.8795268.
20. Leng J., Buyuktosunoglu A., Bertran R., Bose P., Zu Y., Reddi V. J. Predictive Guardbanding: Program-Driven Timing Margin Reduction for GPUs // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2021. Vol. 40. № 1. P. 171–184. DOI: 10.1109/TCAD.2020.2992684.
21. Zhang J., Sadiqbatcha S., Tan S. X.-D. Hot-Trim: Thermal and Reliability Management for Commercial Multicore Processors Considering Workload Dependent Hot Spots // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2023. Vol. 42. № 7. P. 2290–2302. DOI: 10.1109/TCAD.2022.3216552.
22. Ghasemi S. M., Krautter J., Gheshlaghi T., Mescikov S., Gnad D. R. E., Tahoori M. B. Degradation Monitoring Through Software-Controlled On-Chip Sensors for RISC-V // 2024 IEEE European Test Symposium. 2024. P. 1–6. DOI: 10.1109/ETS61313.2024.10567607.
23. Balef H. A., Goossens K., Pineda de Gyvez J. Chip Health Tracking Using Dynamic In-Situ Delay Monitoring // 2019 Design, Automation & Test in Europe Conference & Exhibition. 2019. P. 304–307. DOI: 10.23919/DATE.2019.8715014.
24. Ofori-Attah E., Agyeman M. O. An Ageing-Aware and Temperature Mapping Algorithm for Multilevel Cache Nodes // IEEE Access. 2023. Vol. 11. P. 19162–19172. DOI: 10.1109/ACCESS.2022.3174084.
25. Hossein Khani F., Akbari O., Shafique M. A Two-Level Thermal Cycling-Aware Task Mapping Technique for Reliability Management in Manycore Systems // IEEE Access. 2024. Vol. 12. P. 113406–113421. DOI: 10.1109/ACCESS.2024.3443539.
26. Ramadan F., Ganaeim M., Ella M., Gabbay F. The Impact of Asymmetric Transistor Aging on Clock Tree Design Considerations // IEEE Access. 2024. Vol. 12. P. 177781–177794. DOI: 10.1109/ACCESS.2024.3506059.
27. Amrouch H., Ehsani S. B., Gerstlauer A., Henkel J. On the Efficiency of Voltage Overscaling under Temperature and Aging Effects // IEEE Transactions on Computers. 2019. Vol. 68. № 11. P. 1647–1662. DOI: 10.1109/TC.2019.2916869.
28. Bian S., Shintani M., Morita S., Awano H., Hiromoto M., Sato T. Workload-Aware Worst Path Analysis of Processor-Scale NBTI Degradation // Proceedings of the 26th Edition of the Great Lakes Symposium on VLSI. 2016. P. 203–208. DOI: 10.1145/2902961.2903013.
29. Zhang Z., Guo Z., Lin Y., Li M., Wang R., Huang R. AVATAR: An Aging- and Variation-Aware Dynamic Timing Analyzer for Error-Efficient Computing // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2023. Vol. 42. No. 11. P. 4139–4151. DOI: 10.1109/TCAD.2023.3255167.
30. Raji M., Mahmoudi R., Ghavami B., Keshavarzi S. Lifetime Reliability Improvement of Nano-Scale Digital Circuits Using Dual Threshold Voltage Assignment // IEEE Access. 2021. Vol. 9. P. 114120–114134. DOI: 10.1109/ACCESS.2021.3103200.

Конфликт интересов: Авторы заявляют об отсутствии конфликта интересов.

Conflict of interest: The authors declare that there is no conflict of interest.

Финансирование: Авторы заявляют об отсутствии внешнего финансирования.

Financing: The research was performed without external funding.