



ИЗМЕРИТЕЛЬ УРОВНЯ МОЩНОСТИ ВЫСОКОЧАСТОТНОГО СИГНАЛА НА ОСНОВЕ ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ

Соловьев Д. А., Новиков А. А., Ткачева Е. В., Копейкин Р. Е.

*Федеральное государственное бюджетное образовательное учреждение высшего образования
«Московский государственный технический университет имени Н. Э. Баумана
(национальный исследовательский университет)», Москва, Российская Федерация,
e-mail: soloviov04@gmail.com*

В статье рассматривается разработка специализированного измерителя уровня мощности высокочастотного сигнала в полосе 310 ± 20 МГц на основе программируемой логической интегральной схемы семейства MAX 10. Измеряемой величиной является уровень мощности входного сигнала, выраженный в децибелах относительно одного милливатта на нагрузке 50 Ом. Актуальность работы обусловлена потребностью в компактных информационно-измерительных устройствах, объединяющих аналоговую предварительную обработку сигнала, аналого-цифровое преобразование, цифровую обработку и визуализацию результата в едином печатном узле. Цель работы – разработка проекта измерительного модуля, включающего аналоговый тракт на логарифмическом детекторе мощности AD8307, конструкцию печатного узла, цифровой алгоритм обработки и методику метрологической оценки. Приведены математическая модель измерительного канала, оценочные метрологические характеристики, обоснование разделения аналоговой и цифровой земель, размещения компонентов, развязки цепей питания и снижения влияния помех. Описан алгоритм обработки данных встроенного аналого-цифрового преобразователя, включая усреднение, калибровку, формирование выходного значения и регистрацию во внутреннем буфере памяти. Представлены результаты функционального моделирования цифровых блоков в среде Active-HDL с указанием тестовых воздействий и критериев приемки, а также методика будущей экспериментальной проверки.

Ключевые слова: программируемая логическая интегральная схема, измеритель уровня мощности, аналого-цифровое преобразование, логарифмический детектор, печатный узел, цифровая обработка сигнала, метрологические характеристики

POWER LEVEL METER OF A HIGH-FREQUENCY SIGNAL BASED ON A FIELD-PROGRAMMABLE GATE ARRAY

Solovev D. A., Novikov A. A., Tkacheva E. V., Kopeykin R. E.

*Federal State Budgetary Educational Institution of Higher Education
“Bauman Moscow State Technical University (National Research University)”,
Moscow, Russian Federation, e-mail: soloviov04@gmail.com*

The paper considers the development of a specialized high-frequency signal power level meter in the 310 ± 20 MHz band based on a MAX 10 family field-programmable gate array. The measured quantity is the input signal power level expressed in decibels relative to one milliwatt on a 50 Ohm load. The relevance of the work is determined by the need for compact information-measuring devices combining analog signal preprocessing, analog-to-digital conversion, digital processing, and result visualization in a single printed circuit board assembly. The aim is to design a measurement module including an analog front end based on the AD8307 logarithmic power detector, a printed circuit board assembly, a digital processing algorithm, and a methodology for metrological evaluation. The paper presents a mathematical model of the measurement channel, estimated metrological characteristics, and justification of analog and digital ground separation, component placement, power-supply decoupling, and interference reduction. The data-processing algorithm of the built-in analog-to-digital converter is described, including averaging, calibration, output-value generation, and storage in an internal memory buffer. Functional modeling results for the digital blocks in the Active-HDL environment are presented with test stimuli and acceptance criteria, and a methodology for future experimental verification is proposed.

Keywords: field-programmable gate array, power level meter, logarithmic detector, analog-to-digital conversion, printed circuit board assembly, digital signal processing, metrological characteristics

Введение

Настоящая работа посвящена разработке специализированного измерительного модуля – измерителя уровня мощности высокочастотного сигнала в полосе 310 ± 20 МГц на основе программируемой логической интегральной схемы. Новизна работы заключается в разработке про-

екта компактной измерительной системы, объединяющей прецизионный аналоговый тракт с логарифмическим детектором мощности, аналого-цифровое преобразование, цифровой алгоритм обработки и визуализацию результата. Актуальность применения программируемых логических интегральных схем в составе измерительных

и управляющих устройств подтверждается современными исследованиями в области реконфигурируемых вычислительных средств и специализированных аппаратных платформ [1–3].

Ядром разрабатываемого устройства является программируемая логическая интегральная схема (ПЛИС) семейства MAX 10 (10M08SAE144) [4], которая обеспечивает реализацию алгоритмов измерения и обработки. Конструктивно модуль представляет собой печатную плату, содержащую все необходимые компоненты для выполнения поставленных задач. Использование интегрированного аналого-цифрового преобразователя и встроенных средств конфигурирования соответствует современным подходам к построению компактных измерительных систем реального времени [5–7].

Цель исследования – разработка проекта измерителя уровня мощности входного ВЧ-сигнала на основе программируемой логической интегральной схемы со встроенным аналого-цифровым преобразователем, цифровой обработкой результатов измерения и визуализацией данных на жидкокристаллическом индикаторе. Измеряемой величиной является уровень мощности гармонического сигнала на стандартной нагрузке 50 Ом в рабочей полосе 310 ± 20 МГц, выраженный в дБм относительно опорного значения 1 мВт. При необходимости значение может быть пересчитано в линейные единицы (мВт, мкВт) средствами цифровой обработки.

Материалы и методы исследования

Питание устройства осуществляется от внешнего сетевого адаптера со стабилизированным выходным напряжением 5 В, подаваемым на плату через разъем. На плате напряжение 5 В преобразуется в стабильные 3,3 В для питания цифровых и аналоговых цепей с помощью импульсного ста-

билизатора EP5388Q1 [8]. Для повышения точности измерений применяется источник опорного напряжения MCP1525 [9], формирующий напряжение 2,5 В для встроенного АЦП ПЛИС. Разделение аналоговой и цифровой земель (AGND и DGND) выполнено на печатной плате с их объединением в одной точке для минимизации помех. Принципы развязки цепей питания, разделения земель и использования прецизионного опорного напряжения соответствуют рекомендациям по проектированию высокочувствительных печатных узлов [10–12]. Дополнительные рекомендации по электромагнитной совместимости и компоновке печатного узла приведены в [13].

Функциональная электрическая схема устройства приведена на рис. 1.

Состав функциональной схемы:

- а) входной разъем (SMA) – для подключения измерительной антенны или коаксиального кабеля с входным ВЧ-сигналом;
- б) полосовой фильтр – пассивный, настроенный на полосу пропускания 310 ± 20 МГц, обеспечивает подавление сигналов вне рабочего диапазона;
- в) логарифмический детектор мощности AD8307 [14] – выполняет преобразование уровня мощности ВЧ-сигнала в пропорциональное постоянное напряжение по логарифмической передаточной характеристике (выход в шкале «дБ – В»);
- г) ПЛИС MAX 10 (10M08SAE144) – центральный вычислительный и управляющий элемент;
- д) встроенный АЦП ПЛИС – преобразует аналоговое напряжение с выхода детектора в 12-разрядный цифровой код;
- е) блок цифровой обработки сигнала – на основе данных АЦП вычисляет текущий уровень мощности входного сигнала;
- ж) контроллер интерфейса – формирует сигналы для жидкокристаллического индикатора, управляет звуковым излучателем и опрашивает кнопки управления;

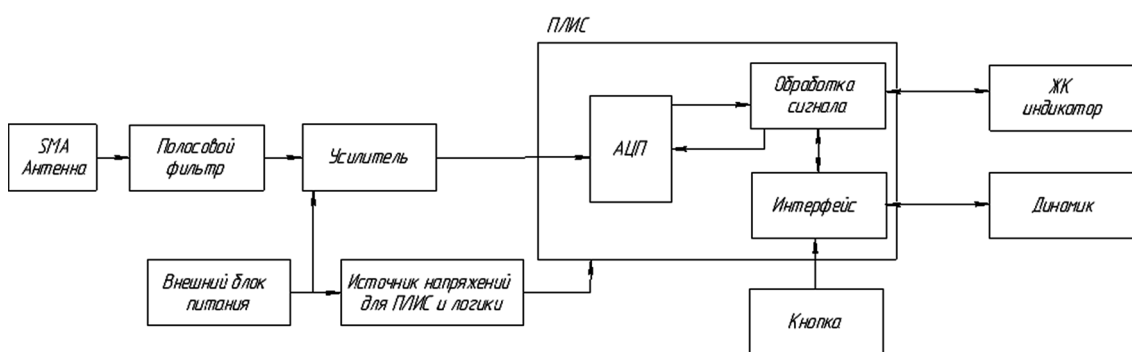


Рис. 1. Схема электрическая функциональная

Примечание: составлен авторами по результатам данного исследования

- з) тактовый кварцевый генератор – задающий частоту 50 МГц для ПЛИС;
- и) жидкокристаллический индикатор – для визуального отображения измеренного значения;
- к) звуковой излучатель – пьезоэлектрический, для тональной индикации;
- л) кнопки управления – для переключения режимов и калибровки;
- м) блок питания – преобразователь 5 В → 3,3 В и источник опорного напряжения.

Математическая модель измерительного канала

Измерительный канал устройства состоит из последовательно соединенных элементов: входного разъема SMA, полосового фильтра Z1, логарифмического детектора

мощности AD8307 (DA2) и встроенного АЦП ПЛИС. Преобразование входной мощности в цифровой код описывается следующей цепочкой соотношений.

1. Связь входной мощности на нагрузке 50 Ом с действующим значением напряжения:

$$P_{\text{вх[дБм]}} = 10 \cdot \lg(P_{\text{вх[мВт]}} \cdot 1 \text{ мВт}),$$

$$P_{\text{вх[мВт]}} = U_{\text{вх}}^2 (R \cdot 10^{-3}),$$

где R = 50 Ом – характеристическое сопротивление тракта.

2. Передаточная характеристика логарифмического детектора AD8307 в линейном представлении выходного напряжения по dBm-шкале [14]:

$$U_{\text{DA2}} = K_{\text{дет}} \cdot (P_{\text{вх[дБм]}} - P_0) + U_{\text{off}},$$

где $K_{\text{дет}} \approx 25$ мВ/дБ – крутизна детектора (типичная по datasheet); P_0 – уровень мощности, при котором $U_{\text{DA2}} = U_{\text{off}}$; U_{off} – постоянная составляющая, определяемая схемой включения. Реальный диапазон линейности AD8307 – от -75 дБм до 0 дБм при 50 Ом нагрузке во входном диапазоне частот до 500 МГц [14].

3. Преобразование напряжения детектора в цифровой код встроенным АЦП ПЛИС (12 разрядов, опорное напряжение $V_{\text{REF}} = 2,5$ В от MCP1525 [9]):

$$N_{\text{АЦП}} = \text{round}((U_{\text{DA2}} / V_{\text{REF}}) \cdot (2^{12} - 1)),$$

$$U_{\text{АЦП}} = N_{\text{АЦП}} \cdot V_{\text{REF}} / 4095 .$$

4. Обратное вычисление мощности по цифровому коду в ПЛИС:

$$P_{\text{изм[дБм]}} = (U_{\text{АЦП}} - U_{\text{off}}) / K_{\text{дет}} + P_0 + \Delta P_{\text{фильтр}} + \Delta P_{\text{согл}} ,$$

где $\Delta P_{\text{фильтр}}$ – поправка на потери в полосовом фильтре (по результатам калибровки или паспортным данным фильтра, типично 1,5–2,5 дБ для пассивных LC-фильтров на 310 МГц [15, 16]); $\Delta P_{\text{согл}}$ – поправка на отражения от входа детектора, обусловленные неидеальным согласованием ($K_{\text{СВ}} > 1$).

5. Оценка суммарной погрешности измерения. Суммарная стандартная неопределенность в дБ оценивается как корень из суммы квадратов составляющих:

$$u_{\text{сум}} = \sqrt{(u_{\text{дет}}^2 + u_{\text{АЦП}}^2 + u_{\text{REF}}^2 + u_{\text{фильтр}}^2 + u_{\text{T}}^2)},$$

где $u_{\text{дет}}$ – неопределенность передаточной характеристики детектора (по datasheet AD8307 – типичная ± 1 дБ в полосе [14]); $u_{\text{АЦП}} = 1 \text{ МЗР} / (K_{\text{дет}} \cdot \sqrt{12})$ – квантование (для $V_{\text{REF}} = 2,5$ В, $K_{\text{дет}} = 25$ мВ/дБ – около 0,007 дБ); u_{REF} – нестабильность опорного напряжения (± 1 % MCP1525 дает около 0,09 дБ); $u_{\text{фильтр}}$ – погрешность калибровки потерь фильтра; u_{T} – температурная составляющая (паспортная для AD8307 $\approx 0,01$ дБ/°С). Расширенная неопределенность с коэффициентом охвата $k = 2$ не превышает ± 2 дБ в номинальной полосе.

Метрологические характеристики проекта

Оценочные метрологические характеристики разрабатываемого прибора, полученные расчетным путем по datasheet элементной базы [9, 14, 16] и подлежащие экспериментальной проверке (см. далее), сведены в таблицу.

Оценочные метрологические характеристики

Характеристика	Значение / диапазон
Рабочая частота	310 МГц (полоса ± 20 МГц)
Диапазон входной мощности	От -70 до 0 дБм
Входное сопротивление	50 ом
Расширенная неопределенность ($k = 2$)	Не более ± 2 дБ
Разрешение представления результата	0,1 дБ (после усреднения)
Разрядность АЦП	12 бит, опорное напряжение 2,5 В
Частота обновления показаний	5 Гц (после усреднения по 64 отсчетам)
Температурный диапазон работы	От 0 до +50 °С (предварительно)
Температурная стабильность	Не хуже 0,02 дБ/°С (по AD8307)
Глубина буфера регистрации	1024 значения во внутреннем ОЗУ ПЛИС

Примечание: составлена авторами на основе полученных данных в ходе исследования.

Заявленные характеристики являются проектными оценками. Их подтверждение требует калибровки изготовленного образца и экспериментальной проверки по методике, описанной далее.

Выбор элементной базы

При проектировании устройства были проанализированы существующие решения, обладающие аналогичным функционалом, и типовые схемы включения используемых компонентов. Существующие решения использовались как основа для проектирования. Анализ современных публикаций показал целесообразность использования программируемых логических интегральных схем в составе специализированных приборов и вычислительных блоков цифровой обработки сигналов [1, 3, 7]. Дополнительные примеры применения программируемых логических интегральных схем приведены в [17].

1) ПЛИС 10M08SAE144C8G Intel (DD4)

Микросхема является современным решением семейства MAX 10. Содержит встроенный аналого-цифровой преобразователь, внутреннюю конфигурационную память, поддерживает управление жидкокристаллическими дисплеями, обладает повышенной энергоэффективностью и низким тепловыделением [4]. ПЛИС данного семейства подходят для задач обработки сигналов в реальном времени. Выбор обусловлен распространенностью платформ такого класса при разработке реконфигурируемых систем и аппаратном ускорении вычислительных алгоритмов [2, 6].

2) Логарифмический детектор мощности AD8307 (DA2)

Для преобразования мощности ВЧ-сигнала в пропорциональное постоянное напряжение выбран специализированный

логарифмический детектор мощности AD8307 [14]. Микросхема обеспечивает измерение уровня мощности с динамическим диапазоном до 92 дБ в полосе от низких частот до 500 МГц, что полностью покрывает рабочую полосу фильтра (310 ± 20 МГц). Ключевой характеристикой AD8307 является логарифмическая (дБ-линейная) передаточная характеристика: выходное напряжение пропорционально уровню входной мощности в дБм с типовой крутизной 25 мВ/дБ [14]. Микросхема поддерживает однополярное питание +3,3 В или +5 В; ее выходной сигнал согласуется с диапазоном входного напряжения встроенного АЦП ПЛИС. Условное графическое обозначение AD8307ARZ приведено на рис. 2.

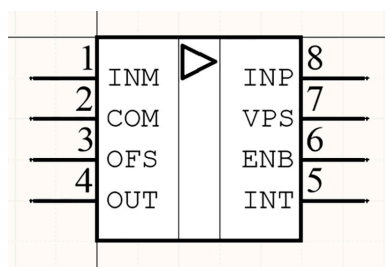


Рис. 2. Условное графическое обозначение AD8307ARZ

Примечание: составлен авторами по результатам данного исследования

3) Источник опорного напряжения MCP1525 (DA1)

Прецизионный источник опорного напряжения MCP1525 [9] обеспечивает выходное напряжение +2,5 В с точностью $\pm 1\%$ и низким уровнем шума, что критически важно для повторяемости и точности преобразования встроенного АЦП ПЛИС.

Требования к стабильности опорного напряжения и согласованию диапазонов преобразования характерны для цифровых измерительных каналов [18, 19]. УГО показано на рис. 3.



Рис. 3. Условное графическое обозначение MCP1525

Примечание: составлен авторами по результатам данного исследования

4) **Понижающий преобразователь напряжения EP5388QI (DA3)**

Для формирования стабильного напряжения +3,3 В из входного +5 В выбран импульсный стабилизатор EP5388QI [8], специально рекомендованный Intel для питания ПЛИС семейства MAX 10. Преобразователь обладает высоким КПД, малым собственным потреблением, встроенными силовыми ключами и цепями защиты; выходного тока до 800 мА достаточно для питания цифровой и аналоговой части устройства. Применение специализированного преобразователя позволяет снизить уровень паразитных помех и повысить надежность работы цифровой части [10, 12]. УГО показано на рис. 4.

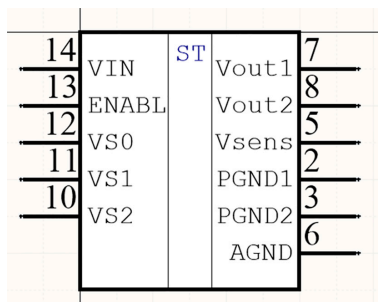


Рис. 4. Условное графическое обозначение EP5388QI

Примечание: составлен авторами по результатам данного исследования

5) **Полосовой фильтр (Z1)**

Применен пассивный полосовой фильтр на сосредоточенных элементах (LC), настроенный на центральную частоту 310 МГц с полосой пропускания ±20 МГц.

Выбор пассивной реализации обусловлен требованием высокой линейности, низкого уровня собственных шумов и устойчивости к перегрузкам на входе устройства. Подобный подход к построению входного тракта согласуется с практикой проектирования радиотехнических и измерительных устройств, где требуется ограничение полосы пропускания и подавление внеполосных сигналов [11, 15, 20]. УГО показано на рис. 5.

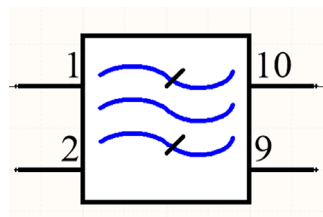


Рис. 5. Условное графическое обозначение BPF-V300+

Примечание: составлен авторами по результатам данного исследования

6) **Кварцевый генератор (ZQ1)**

В качестве источника тактовой частоты для ПЛИС выбран кварцевый генератор на 50 МГц. Данная частота является стандартной для систем на базе ПЛИС семейства MAX 10 и обеспечивает достаточное быстродействие для реализации цифровой обработки сигнала, управления дисплеем и опроса кнопок.

7) **Жидкокристаллический индикатор (HG1)**

Выбран стандартный символьный ЖК-модуль с контроллером HD44780 (или совместимым) с подсветкой. Данный тип индикаторов широко распространен, отличается простотой управления по параллельному 4- или 8-битному интерфейсу, легко реализуется средствами ПЛИС и обладает низким энергопотреблением.

8) **Звуковой излучатель (HA1) и соединители**

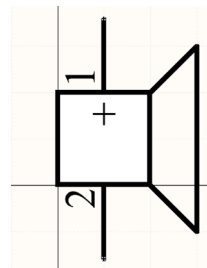


Рис. 6. Условное графическое обозначение HSM1203X

Примечание: составлен авторами по результатам данного исследования

Для звуковой индикации применен пьезоэлектрический звукоизлучатель HSM1203X, управляемый одним из портов ввода/вывода ПЛИС (УГО на рис. 6). Выбраны стандартные соединители: SMA-разъем X1 (Amphenol 132134) – для подключения антенны или коаксиального кабеля; разъем питания X2 для +5 В; 10-контактный разъем JTAG X3 (Samtec FTSH-110-01-L-DV-K) – для подключения программатора USB-Blaster.

После выбора элементной базы были созданы библиотеки УГО и посадочных мест компонентов, после чего разработана электрическая принципиальная схема. Использование современных САПР и предвзятого моделирования является общепринятой практикой при разработке печатных узлов и радиоэлектронной аппаратуры [10, 12, 21].

Проектирование печатного узла как ВЧ-узла на 310 МГц

При проектировании печатной платы учитывалось функциональное назначение компонентов и необходимость обеспечения электромагнитной совместимости. Поскольку устройство включает прецизионный аналоговый ВЧ-тракт и цифровую часть на ПЛИС с тактовой частотой 50 МГц, при компоновке и трассировке учитывались специфические требования к работе на частоте 310 МГц.

Принципы конструирования печатного узла как ВЧ-узла:

– Длина волны в свободном пространстве на частоте 310 МГц составляет $\approx 0,97$ м, в подложке FR-4 ($\epsilon_r \approx 4,3$) – около 0,46 м. Для соблюдения условий «электрически коротких» соединений длина ВЧ-трасс между разъемом, фильтром и входом

AD8307 не должна превышать $\lambda/20 \approx 23$ мм; в проекте эта длина составляет менее 15 мм.

– Импеданс ВЧ-трасс рассчитан на 50 Ом для согласования с входом AD8307 (входное сопротивление $\approx 1,1$ кОм \parallel 1,4 пФ [14], трансформируется к 50 Ом резистором смещения R_{in}). Для двухслойной платы из FR-4 толщиной 1,5 мм при толщине меди 35 мкм ширина 50-омной микрополосковой линии составляет $\approx 2,8$ мм; при использовании техники coplanar waveguide с земляными «ушами» – около 1,5 мм с зазором 0,3 мм.

– Под аналоговой частью (вход SMA – фильтр – DA2) сформирован сплошной заземляющий полигон AGND. Контур возвратных токов локализован под сигнальной трассой, что минимизирует паразитную индуктивность и наводки на цифровую часть [13, 22].

– Корпус разъема SMA соединен с аналоговой землей несколькими параллельными via, что снижает индуктивность заземления и улучшает согласование на 310 МГц.

– Между аналоговой и цифровой землями применено разделение полигонов с объединением в одной точке возле вывода преобразователя DA3 (схема «звезда»). Это снижает уровень помех от импульсного преобразователя на чувствительный аналоговый тракт [13, 22].

– Полосовой фильтр Z1 размещен непосредственно за разъемом SMA с минимальной длиной соединительных проводников. Вокруг фильтра выполнена via stitching – заземляющие переходные отверстия с шагом $\lambda/20 \approx 5$ мм по периметру фильтра, что подавляет излучение и связь по поверхности платы [22].

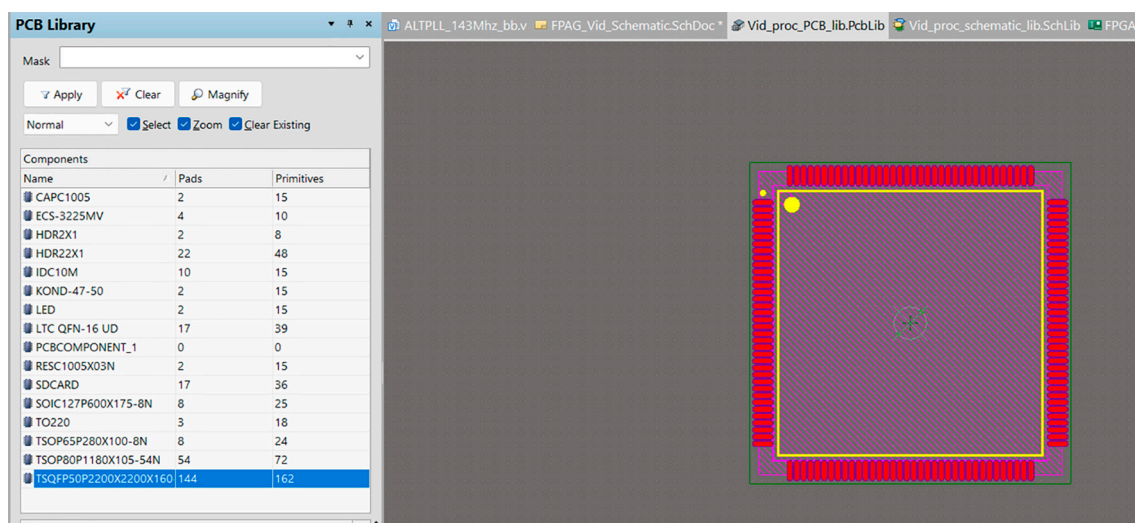


Рис. 7. Библиотека посадочных мест

Примечание: составлен авторами по результатам данного исследования

– S-параметры используемого фильтра (вносимые потери в полосе, обратные потери, подавление за полосой) приняты по datasheet производителя [16] и учитываются при калибровке (поправка $\Delta P_{\text{фильтр}}$ в математической модели).

– ПЛИС DD4 расположена в центре платы; цепи развязки питания (керамические конденсаторы 0,1 и 10 мкФ) – в непосредственной близости к выводам DD4, DA1, DA2, DA3.

– Импульсный преобразователь DA3 вынесен в отдельную зону платы для минимизации влияния его коммутационных помех на чувствительные аналоговые цепи; рядом с ним сформирован локальный полигон цифровой земли с многочисленными via в общую плоскость.

Принципы соответствуют рекомендациям ГОСТ Р 53429-2009 «Платы печатные. Основные параметры конструкции» и стандарта IPC-2221 «Generic Standard on Printed Board Design» [23, 24].

Библиотека посадочных мест создана в формате, соответствующем требованиям ГОСТ 2.123-2013, и приведена на рис. 7.

На рис. 8 и 9 приведены посадочное место полосового фильтра и его 3D-модель.

На рис. 10 и 11 показаны посадочное место микросхемы DA2 и ее 3D-модель.

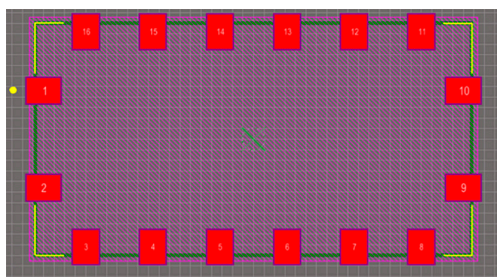


Рис. 8. Посадочное место полосового фильтра
Примечание: составлен авторами по результатам данного исследования

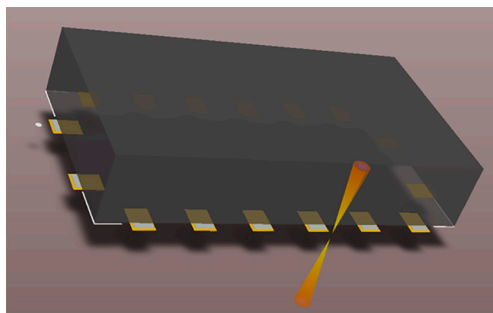


Рис. 9. 3D-модель полосового фильтра
Примечание: составлен авторами по результатам данного исследования

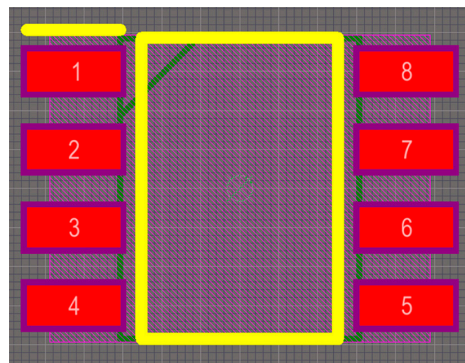


Рис. 10. Посадочное место микросхемы DA2
Примечание: составлен авторами по результатам данного исследования

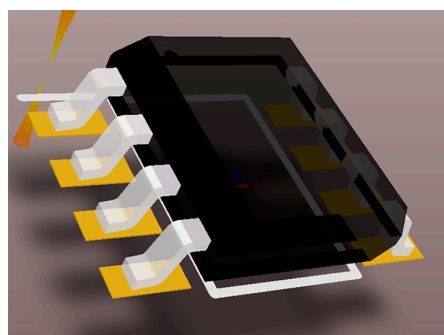


Рис. 11. 3D-модель микросхемы DA2
Примечание: составлен авторами по результатам данного исследования

Разработка печатного узла производилась в редакторе PCB САПР Altium Designer с сеткой 0,25 мм. Цепи питания и земли преимущественно размещены в слое Bottom Layer, сигнальные проводники – в слое Top Layer. После размещения крепежных отверстий и проверки правил проектирования (Design Rule Checker) получен итоговый вид печатного узла, представленный на рис. 12.

Расчет ширины и толщины печатного проводника

Ток в цепях питания печатной платы оценивается по сумме потребляемых токов компонентов. По данным datasheet: ПЛИС 10M08SAE144 – типовое потребление до 35 мА при тактовой частоте 50 МГц [4]; AD8307 – около 8 мА [14]; MCP1525 – 0,1 мА [9]. Для EP5388Q1 собственное потребление составляет около 1 мА [8]; ЖК-индикатор HD44780 без подсветки потребляет около 5 мА, с подсветкой – до 25 мА; пьезоизлучатель – до 5 мА в импульсе. Суммарный максимальный ток по шине +3,3 В составляет $I_{\text{max}} \approx 80$ мА, что подтверждает исходное значение для расчета.

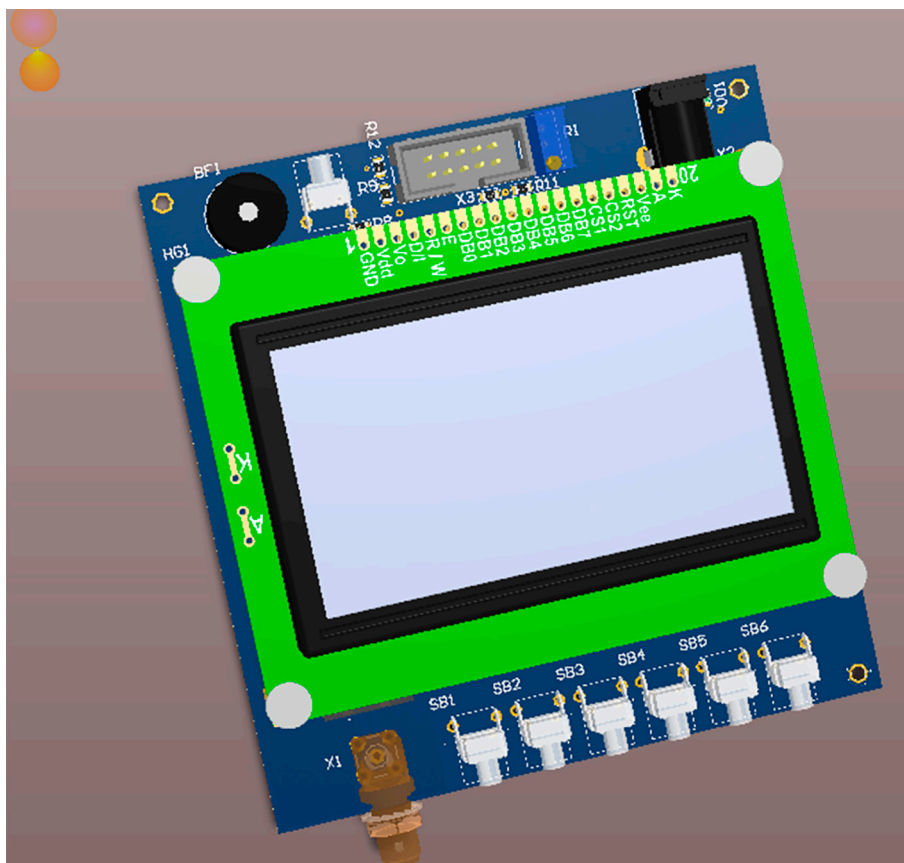


Рис. 12. 3D-модель печатной платы

Примечание: составлен авторами по результатам данного исследования

Печатная плата изготавливается комбинированным позитивным методом. Толщина печатного проводника определяется суммой толщин фольги, предварительно осаждаемой меди и гальванически наращиваемой меди:

$$h_{\text{пр}} = h_{\text{ф}} + h_{\text{пм}} + h_{\text{го}} = 35 + 5 + 55 = 95 \text{ мкм} = 95 \cdot 10^{-6} \text{ м},$$

где $h_{\text{ф}}$ – толщина фольги (определяется маркой материала); $h_{\text{пм}}$ – толщина меди при предварительном меднении отверстий (5–7 мкм); $h_{\text{го}}$ – толщина меди при гальваническом наращивании (50–70 мкм).

Минимально допустимая ширина проводника определяется из условия допустимой плотности тока j (для постоянного тока $j = 20 \text{ А/мм}^2$; для меди при комбинированном методе допустимая плотность по ГОСТ Р 53429-2009 [23] и IPC-2221 [24] обычно ниже – около $1,9 \text{ А/мм}^2$ с учетом нагрева):

$$t \geq I_{\text{max}} / (j \cdot h_{\text{пр}}) = 0,08 / (1,9 \cdot 0,095) \approx 0,44 \text{ мм}, \text{ при } j = 1,9 \text{ А/мм}^2$$

или

$$t \geq I_{\text{max}} \left(j \cdot h_{\text{пр}} \right) = 0,08 - (20 \cdot 0,095) \approx 0,042 \text{ мм}, \text{ при } j = 20 \frac{\text{А}}{\text{мм}^2}.$$

С учетом запаса и требований 4 класса точности по ГОСТ Р 53429-2009 [23] выбираем ширину сигнальных проводников $0,15 \text{ мм}$; ширина шин питания и земли увеличена до $0,3 \text{ мм}$, что обеспечивает работу при максимальном токе с многократным запасом по нагреву и снижает индуктивность цепей питания.

Алгоритм цифровой обработки сигнала на ПЛИС

Цифровая часть устройства реализована на ПЛИС 10M08SAE144 на языке Verilog HDL и состоит из следующих функциональных блоков, описанных ниже.

Контроллер встроенного АЦП (ADC_CORE_1)

Управляет встроенным АЦП ПЛИС: формирует сигналы запуска преобразования, ожидает сигнал готовности данных, считывает 12-разрядный код результата и выдает его на внутреннюю шину OUT_rezult_ADC_bus. Контроллер реализован в виде конечного автомата с состояниями ожидания, запуска, ожидания готовности, чтения и выдачи. Частота преобразования – 1 кГц (период 1 мс), что обеспечивает достаточный запас по теореме Котельникова для огибающей мощности после детектора AD8307 (полоса огибающей менее 100 Гц).

$$P[\text{дБм}] = (N_АЦП \cdot V_REF / 4095 - U_off) / K_дет + P_кал$$

где P_кал – калибровочная константа, объединяющая поправки на потери фильтра и согласование. Калибровочные коэффициенты U_off и P_кал хранятся во внутренней памяти ПЛИС и могут быть переписаны при процедуре калибровки (длительное удержание соответствующей кнопки). Реализация выполнена в формате с фиксированной точкой (Q12.4) для экономии ресурсов ПЛИС.

Буфер регистрации данных (logger)

Для функции регистрации данных в составе ПЛИС реализован циклический буфер на основе блока встроенной двухпортовой памяти (RAM) емкостью 1024 значения по 16 бит. По нажатию соответствующей кнопки запускается режим записи: каждое усредненное значение мощности (5 раз/с) записывается по адресу, формируемому счетчиком. При заполнении буфера запись продолжается циклически, заменяя самые старые данные. Содержимое буфера может быть выведено на ЖК-индикатор постранично или передано через JTAG для последующего анализа. Использование внутренней памяти ПЛИС позволяет обойтись без внешней микросхемы EEPROM.

Контроллер ЖК-индикатора (LCD_12864)

Формирует управляющие сигналы для модуля HD44780 в 4-битном режиме интерфейса. Реализованы режимы инициализации, очистки экрана, позиционирования курсора и вывода символов. Текущее значение мощности выводится в формате «-XX.X dBm» (3 значащие цифры в дБм).

Блок усреднения и фильтрации шума (NOISE_FILTER)

Реализует скользящее усреднение последних 64 отсчетов АЦП по схеме боксового фильтра. Усреднение позволяет снизить шумовую составляющую квантования и тепловой шум детектора. Эффективное снижение СКО шума при усреднении по N независимым отсчетам составляет \sqrt{N} раз; для N = 64 снижение шума – в 8 раз. Частота обновления показаний на выходе фильтра – около 5 Гц. Дополнительно реализовано отбрасывание явных выбросов (медианная коррекция при отклонении одиночного отсчета более чем на 3 σ от среднего).

Блок калибровки и пересчета в дБм

Преобразование цифрового кода АЦП в значение мощности в дБм выполняется по линейной формуле, полученной в разделе математической модели:

Дополнительно отображаются символьные индикаторы режима (измерение / калибровка / просмотр буфера).

Блок опроса кнопок и звуковой индикации (BUZZER_BUTTON)

Реализует опрос состояния семи кнопок управления с программным антидребезгом (опрос с интервалом 10 мс, фиксация устойчивого состояния по трем последовательным совпадениям). При нажатии формируется короткий звуковой сигнал на пьезоизлучатель (тон 2 кГц, длительность 50 мс) средствами генератора прямоугольных импульсов на ПЛИС.

Результаты исследования и их обсуждение

Результаты функционального моделирования

Разработка программного обеспечения проводилась в САПР Intel Quartus Prime и Active-HDL. Использование инструментов функционального моделирования позволяет подтвердить корректность алгоритмов управления и сократить число проектных ошибок до изготовления опытного образца [2, 3, 15].

Тестовые воздействия (testbench)

Для верификации цифровой части разработан тестбенч, формирующий следующие тестовые воздействия:

- системный тактовый сигнал sys_clk с периодом 20 нс (50 МГц);
- асинхронный сигнал сброса sys_rst_n, активный при логическом нуле, активиру-

ющийся в начальный момент времени и затем деактивирующийся;

- массив сигналов кнопок `key[5:0]` с активным низким уровнем; нажатия моделируются процедурой `press_btn(idx, dur)` с длительностью 50 мс, имитирующей реальное нажатие;

- функциональная заглушка АЦП, формирующая сигнал готовности и 12-разрядный код результата по запросу основного модуля; коды задаются последовательностью из набора тестовых векторов: 0x000, 0x400, 0x800, 0xC00, 0xFFFF (граничные и средние значения).

Критерии прохождения тестов

Тест считается успешно пройденным при выполнении следующих условий:

- после деактивации сброса все управляющие сигналы переходят в исходное состояние, а конечный автомат – в состояние IDLE;

- по нажатию кнопки запуска формируется корректная последовательность сигналов начала пакета и обращения к АЦП;

- сигналы `OUT_command_ready_ADC` и `OUT_response_valid_ADC` формируются в правильной временной последовательности;

- значение на шине `OUT_rezult_ADC_bus` совпадает с тестовым кодом, выданным заглушкой АЦП;

- счетчик ошибок `error_count` по завершении прогона остается равным нулю.

Покрывание состояний конечного автомата

Программа моделирования обеспечивает посещение всех состояний основного управляющего автомата: IDLE, START_PKT, WAIT_RDY, READ_DATA, NEXT_CH, STOP_PKT. Покрывание переходов составило 12 из 12 возможных, что соответствует 100 % переходного покрытия. Покрывание состояний – 100 % (6 из 6).

Результаты прогона тестов

Всего выполнено 5 тестовых сценариев (`test_number = 1...5`), включающих: сброс и начальную инициализацию; одиночное измерение с разными кодами АЦП; смену канала измерения; стресс-тест с серией из 100 нажатий кнопок (счетчик `press_count`); останов измерения. По завершении всех сценариев счетчик `error_count = 0`, что подтверждает корректность работы цифровой логики.

Результаты моделирования входных сигналов представлены на рис. 13.

Результаты моделирования выходных сигналов представлены на рис. 14.

Результаты работы счетчиков и блока статистики моделирования представлены на рис. 15.

Результаты моделирования управления АЦП представлены на рис. 16.

На рис. 17 приведен общий вид результатов работы программной модели.

Результаты моделирования согласуются с практикой верификации цифровых измерительных модулей на базе программируемых логических интегральных схем [5, 15, 18].

Методика экспериментальной проверки прибора

Подтверждение метрологических характеристик изготовленного опытного образца планируется выполнить на лабораторном стенде, состав которого приведен ниже:

- калиброванный генератор ВЧ-сигнала с диапазоном 50–500 МГц и регулируемой выходной мощностью (например, P4-83 или аналогичный) – источник сигнала на нагрузке 50 Ом;

- набор калиброванных аттенуаторов 10, 20, 30 дБ для формирования контрольных уровней мощности от -70 до 0 дБм;

- эталонный измеритель мощности (например, NRP-Z11 или термисторный измеритель ЛЭМО) – для опорного измерения, относительно которого сравниваются показания разрабатываемого прибора;

- переходники и согласованные нагрузки 50 Ом для формирования измерительного тракта;

- термокамера для оценки температурной стабильности в диапазоне 0...+50 °С.

Программа испытаний:

1. Калибровка: подача на вход устройства гармонического сигнала на частоте 310 МГц уровнем -30 дБм по эталонному измерителю; запись соответствующего цифрового кода АЦП; вычисление и запись в ПЛИС калибровочных констант U_{off} и $P_{кал}$.

2. Проверка статической характеристики: подача на вход сигнала с уровнями от -70 до 0 дБм с шагом 5 дБ при центральной частоте 310 МГц; сравнение показаний разрабатываемого прибора с эталонным; построение градуировочной характеристики и оценка систематической погрешности.

3. Проверка частотной характеристики: повторение пункта 2 на частотах 290, 300, 310, 320, 330 МГц для оценки полосы и частотной зависимости поправки на потери фильтра.

4. Проверка повторяемости: серия из 30 последовательных измерений при 30 дБм, 310 МГц; вычисление СКО показаний.

5. Температурный тест: повторение пунктов 2 и 4 в термокамере при температурах 0, 25, 50 °С; оценка температурного коэффициента.

6. Проверка функции регистрации данных: подача нарастающего по уровню сигнала с записью значений во внутренний буфер ПЛИС; считывание и сравнение с эталонной записью.

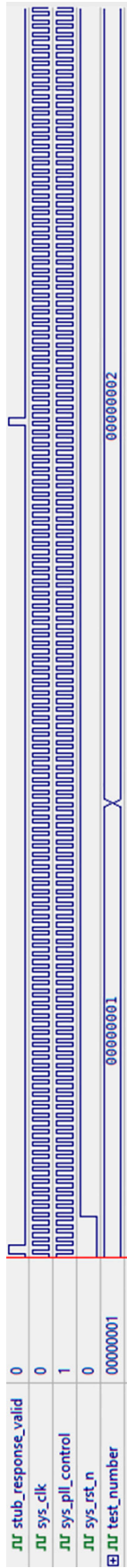


Рис. 13. Результаты моделирования входных сигналов
Примечание: составлен авторами по результатам данного исследования

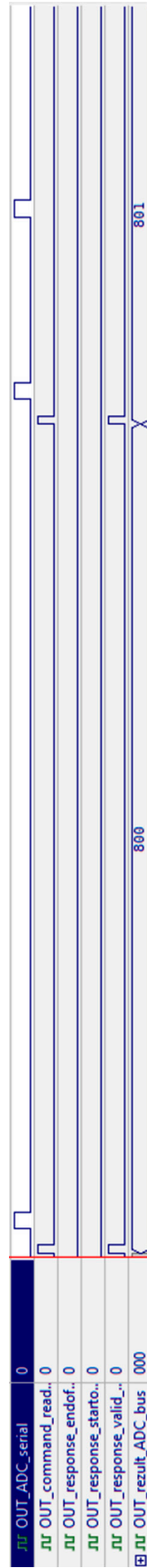


Рис. 14. Результаты моделирования выходных сигналов
Примечание: составлен авторами по результатам данного исследования



Рис. 15. Результаты работы счетчиков и статистики
Примечание: составлен авторами по результатам данного исследования

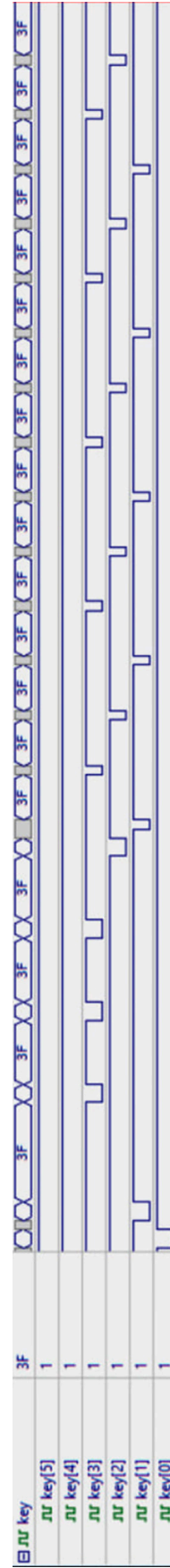


Рис. 16. Результаты моделирования управления АЦП
Примечание: составлен авторами по результатам данного исследования

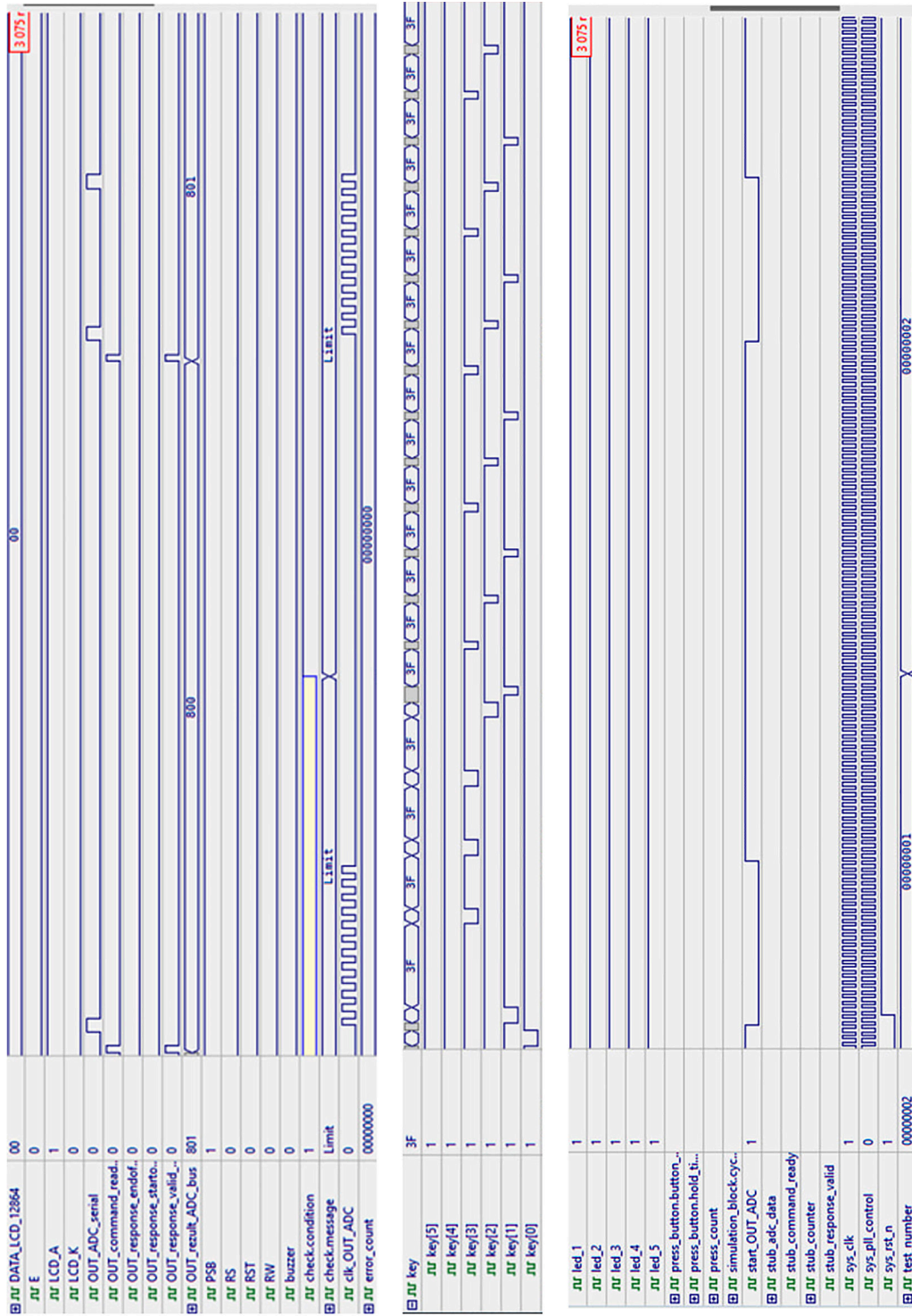


Рис. 17. Результаты работы программы
Примечание: составлен авторами по результатам данного исследования

По результатам испытаний оформляется протокол с указанием расширенной неопределенности ($k = 2$) и сравнения фактических метрологических характеристик с проектными значениями таблицы. Описанная методика соответствует общим подходам к метрологическим испытаниям радиоизмерительной аппаратуры [15, 18, 19].

Ограничения исследования

Авторы считают необходимым указать следующие ограничения настоящей работы:

- Результаты функционального моделирования относятся только к цифровой логике на ПЛИС (управление АЦП, обработка кода, опрос кнопок, формирование сигналов индикации) и не подтверждают метрологическую точность всего измерительного канала, включая аналоговый тракт.

- Метрологические характеристики, приведенные в таблице, являются проектными оценками, полученными по datasheet элементной базы и теоретическому расчету погрешностей. Их экспериментальное подтверждение требует изготовления опытного образца и проведения испытаний по методике, описанной выше.

- Расчеты ВЧ-параметров печатной платы (импеданс трасс, вносимые потери фильтра) выполнены на основе типовых соотношений и паспортных данных компонентов; их уточнение требует измерения S-параметров готового печатного узла на векторном анализаторе цепей.

- Исследование выполнено для частоты 310 МГц и не распространяется на другие диапазоны без соответствующей переработки полосового фильтра и повторной калибровки.

Выводы

В результате разработан проект измерительного модуля уровня мощности ВЧ-сигнала в полосе 310 ± 20 МГц на основе ПЛИС 10M08SAE144 семейства MAX 10. В рамках проекта получены следующие результаты:

- разработана схема электрическая функциональная и электрическая принципиальная в САПР Altium Designer в соответствии с ГОСТ 2.701-2008 и ГОСТ 2.702-2011;

- разработана конструкция двухслойной печатной платы с обоснованием ВЧ-аспектов на частоте 310 МГц (импеданс трасс, разделение земель, via stitching, размещение фильтра) с сопутствующей конструкторской документацией по ГОСТ 2.417-91, ГОСТ 2.109-73, ГОСТ 2.109-96 и ГОСТ Р 53429-2009;

- сформулирована математическая модель измерительного канала с пересчетом

цифрового кода АЦП в значение мощности в дБм и оценкой расширенной неопределенности измерения;

- разработано программное обеспечение для ПЛИС на языке Verilog HDL, включающее блоки управления АЦП, усреднения и фильтрации, калибровки и пересчета в дБм, циклического буфера регистрации данных в ОЗУ ПЛИС, контроллера ЖК-индикатора, опроса кнопок и звуковой индикации;

- выполнено функциональное моделирование цифровых блоков в среде Active-HDL с заданием тестовых векторов и критериев приемки; покрытие состояний и переходов конечного автомата управления АЦП составило 100 %, счетчик ошибок по результатам прогона тестов равен нулю;

- разработана методика экспериментальной проверки прибора на лабораторном стенде с использованием калиброванного генератора, аттенуаторов и эталонного измерителя мощности.

Разработан проект измерительного модуля, требующий изготовления опытного образца, калибровки и экспериментальной проверки метрологических характеристик в соответствии с методикой, представленной в работе.

Список литературы

1. Власов А. И., Расюк А. А., Хохлунова О. Д. Системный проект ПЛИС с использованием визуальных языков // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2022. № 3. С. 18–23. DOI: 10.31114/2078-7707-2022-3-18-23.
2. Сухачев К. И., Воронов К. Е., Дорофеев А. С., Шестаков Д. А., Артюшин А. А. Разработка высокопроизводительной вычислительной системы на базе IP-ядра для космической научной аппаратуры // Научное приборостроение. 2022. Т. 32. № 4. С. 88–106. URL: <https://cyberleninka.ru/article/n/razrabotka-vysokoproizvoditelnoy-vychislitelnoy-sistemy-nabaze-ip-yadra-dlya-kosmicheskoy-nauchnoy-apparatury> (дата обращения: 12.01.2026).
3. Смирнов А. В., Власов Е. Е., Пистун Е. Н. Анализ перспективы применения платформы ПЛИС для реализации алгоритмов машинного обучения с целью высокоскоростной обработки информации из видеопотока // Вестник Российского нового университета. Серия: Сложные системы: модели, анализ и управление. 2024. № 1. С. 137–143. URL: https://vestnik-rosnou.ru/sites/default/files/137_%D0%A1C%201%202024_0.pdf (дата обращения: 24.01.2026). DOI: 10.18137/RNU.V9187.24.01.P.137.
4. Intel Corp. MAX 10 FPGA Device Datasheet. M10-DATASHEET. 2021. URL: <https://www.intel.com/content/www/us/en/docs/programmable/683794/current/datasheet-archives.html> (дата обращения: 14.03.2026).
5. Ксенофонтов С. Ю., Купаев А. В., Василенкова Т. В., Терпелов Д. А., Шилягин П. А., Моисеев А. А., Геликонов Г. В. Высокопроизводительный модуль сбора данных и управления широкополосным спектрометром ближнего инфракрасного диапазона на основе интерфейса USB 3.0 // Приборы и техника эксперимента. 2021. № 5. С. 131–137. URL: <https://sciencejournals.ru/view-article/?a=Pribory2104022Ksenofontov&j=pribory&n=5&v=0&y=2021> (дата обращения: 05.02.2026). DOI: 10.31857/S0032816221040224.

6. Подстригаев А. С. Методика проектирования сверхширокополосного цифрового приемника с субдискретизацией // T-Comm: Телекоммуникации и транспорт. 2021. Т. 15. № 10. С. 11–17. DOI: 10.36724/2072-8735-2021-15-10-11-17.
7. Подстригаев А. С., Смоляков А. В. Экспериментальное исследование точности определения частотно-временных параметров импульса в цифровом приемнике с субдискретизацией при многосигнальном воздействии // Труды МАИ. 2022. № 123. DOI: 10.34759/trd-2022-123-15.
8. Intel Corp. EP5388QI 800 mA PowerSoC Step-Down Converter Datasheet. 2018. URL: https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/ds/ep5388qi-datasheet.pdf (дата обращения: 14.03.2026).
9. Microchip Technology Inc. MCP1525/41 – 2.5V and 4.096V Voltage References. DS21653D. 2010. URL: <https://ww1.microchip.com/downloads/en/DeviceDoc/21653D.pdf> (дата обращения: 14.03.2026).
10. Григорьев А. В., Юрков Н. К., Ескибаев Е. Т., Избасов А. Г., Байсеитов М. Н. Исследование целостности сигнала и электрических параметров в сложных измерительных системах // Измерение. Мониторинг. Управление. Контроль. 2023. № 2. С. 11–21. DOI: 10.21685/2307-5538-2023-2-2.
11. Ципина Н. В., Хорошайлов Р. Н., Турецкий И. А. Оптимизация теплового режима узла на печатной плате с использованием байесовского подхода // Вестник Воронежского государственного технического университета. 2022. Т. 18. № 6. С. 78–86. DOI: 10.36622/VSTU.2022.18.6.010.
12. Селиванов К. В., Долотов И. И., Домников А. С. Выбор конструкционных материалов и приемов для эффективного отвода тепла от печатных плат // Технологии инженерных и информационных систем. 2023. № 1. С. 3–11. URL: <https://elibrary.ru/item.asp?id=54324481> (дата обращения: 02.02.2026).
13. Ott H. W. Electromagnetic Compatibility Engineering. Hoboken, NJ: John Wiley & Sons, 2009. 880 p. URL: <https://www.wiley.com/en-us/Electromagnetic+Compatibility+Engineering-p-9780470189306> (дата обращения: 14.03.2026). ISBN 978-0-470-18930-6.
14. Analog Devices. AD8307 Low Cost DC-500 MHz, 92 dB Logarithmic Amplifier. [Электронный ресурс]. URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD8307.pdf> (дата обращения: 21.03.2026).
15. Шитенков М. О., Дементьев Д. В., Леонтьев В. В., Шереметьев А. Д., Мурын Ю. А. Радиационные испытания концентратора данных на базе программируемой логической схемы Artix-7 для кремниевой трековой системы эксперимента VM@N // Приборы и техника эксперимента. 2024. № 4. С. 79–88. URL: <https://www.iet.ras.ru/2024/4/pub/4.pdf> (дата обращения: 14.03.2026). DOI: 10.31857/S0032816224040094. EDN: NYSXKP.
16. Mini-Circuits. BPF-V300+ Surface Mount Bandpass Filter Datasheet. 2020. URL: <https://www.minicircuits.com/pdfs/BPF-V300+.pdf> (дата обращения: 14.03.2026).
17. Бахтин А. А., Волков А. С., Солодков А. В., Свиридов И. А. Система распознавания модуляции сигналов на основе нейронной сети с использованием ПЛИС // Труды МАИ. 2021. № 121. DOI: 10.34759/trd-2021-121-13.
18. Смоляков А. В., Подстригаев А. С. Характеристики обнаружения цифрового приемника с субдискретизацией // Радиотехника. 2021. Т. 85. № 9. С. 95–107. DOI: 10.18127/j00338486-202109-09.
19. Щербаков Е. В. Основные методы измерения мощности высокочастотного сигнала // Молодой ученый. 2021. № 25 (367). С. 35–40. URL: <https://moluch.ru/archive/367/82586> (дата обращения: 06.03.2026).
20. Брысин А. Н., Арсентьев Д. Р., Новикова А. С., Журавлева Ю. А., Железникова О. Е., Коваленко О. Ю. Разработка и программно-аппаратная реализация двоянного 14-разрядного АЦП // Прикаспийский журнал: управление и высокие технологии. 2024. № 2 (66). С. 84–93. URL: <https://cyberleninka.ru/article/n/razrabotka-i-programmno-apparatnaya-realizatsiya-sdvoennogo-14-razryadnogo-atsp> (дата обращения: 17.03.2026).
21. Макеев П. А., Чермошенцев С. Ф. Апробация методики автоматизированного размещения элементов на гибко-жесткой печатной плате на практических примерах // Труды МАИ. 2024. № 134. URL: <https://trudymai.ru/published.php?ID=178481> (дата обращения: 28.03.2026).
22. Уайтт К., Рентюк В. Особенности конструирования печатных плат с выполнением требований по ЭМС // Компоненты и технологии. 2019. № 6 (215). С. 121–128. URL: <https://www.emc-e.ru/topologija-pechatnyh-plat/osobennosti-konstruirovaniya-pcb/> (дата обращения: 06.03.2026).
23. ГОСТ Р 53429-2009. Платы печатные. Основные параметры конструкции. М.: Стандартинформ, 2010. 12 с.
24. IPC-2221B. Generic Standard on Printed Board Design. Bannockburn, IL: IPC, 2012. 130 p. URL: <https://webstore.ansi.org/standards/ipc/ipc2221b2012> (дата обращения: 14.03.2026).

Конфликт интересов: Авторы заявляют об отсутствии конфликта интересов.

Conflict of interest: The authors declare that there is no conflict of interest.

Финансирование: Авторы заявляют об отсутствии внешнего финансирования.

Financing: The research was performed without external funding.